

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-174019
(P2000-174019A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/3205		H 0 1 L 21/88	M 5 F 0 3 3
21/314		21/314	A 5 F 0 5 8
21/768		21/90	J

審査請求 未請求 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願平10-342080

(22) 出願日 平成10年12月1日 (1998.12.1)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 片山 倫子

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 福山 俊一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100087479

弁理士 北野 好人

最終頁に続く

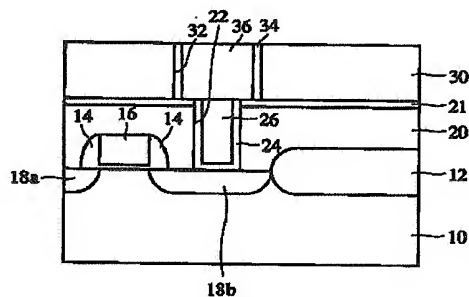
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 Cu層より成る配線を用いて更なる高集積化及び高速化を実現する半導体装置及びその製造方法を提供する。

【解決手段】 下地基板10上に形成され、開口部32を有し、Cuの拡散を防止するバリア絶縁層34と、開口部32内に形成されたCu層より成る導電層36とを有し、バリア絶縁層34は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかである。

本発明の第1実施形態による半導体装置を示す断面図



- 10…シリコン基板
- 12…素子分離膜
- 14…サイドウォール絶縁膜
- 16…ゲート電極
- 18a、18b…ソース/ドレイン拡散層
- 20…層間絶縁膜
- 21…ストップ膜
- 22…コンタクトホール
- 24…バリア層
- 26…導体プラグ
- 30…層間絶縁膜
- 32…溝
- 34…バリア絶縁層
- 36…配線

【特許請求の範囲】

【請求項1】 下地基板上に形成され、開口部を有し、Cuの拡散を防止するバリア絶縁層と、前記開口部内に形成されたCu層より成る導電層とを有し、前記バリア絶縁層は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかであることを特徴とする半導体装置。

【請求項2】 下地基板上に形成され、開口部を有する絶縁層と、前記開口部内の側面に形成された、Cuの拡散を防止するバリア絶縁層と、前記バリア絶縁層が形成された前記開口部内に形成された、Cu層より成る導電層とを有し、前記バリア絶縁層は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかであることを特徴とする半導体装置。

【請求項3】 下地基板上に形成され、第1の開口部を有し、Cuの拡散を防止する第1のバリア絶縁層と、前記第1のバリア絶縁層上に形成され、第2の開口部を有し、Cuの拡散を防止する第2のバリア絶縁層と、前記第1の開口部及び前記第2の開口部内に形成された同一のCu層より成る導電層とを有し、前記第1のバリア絶縁層及び／又は前記第2のバリア絶縁層は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかであることを特徴とする半導体装置。

【請求項4】 下地基板上に形成され、第1の開口部を有する第1の絶縁層と、前記第1の絶縁層上に形成され、第2の開口部を有する第2の絶縁層と、前記第1の開口部内の側面及び前記第2の開口部内の側面に形成された、Cuの拡散を防止するバリア絶縁層と、前記バリア絶縁層が形成された前記第1の開口部内及び前記第2の開口部内に形成された、同一のCu層より成る導電層と、前記第1の開口部が形成された領域を除く領域の前記第2の開口部の下面に形成され、前記第2の絶縁層とエッチング特性が異なり、Cuの拡散を防止する第3の絶縁層とを有し、前記バリア絶縁層は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかであることを特徴とする半導体装置。

【請求項5】 下地基板上に、Cuの拡散を防止するバリア絶縁層を形成する工程と、前記バリア絶縁層に開口部を形成する工程と、前記開口部内にCu層より成る導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 下地基板上に、絶縁層を形成する工程

と、前記絶縁層に開口部を形成する工程と、前記開口部内の側面に、Cuの拡散を防止するバリア絶縁層を形成する工程と、前記バリア絶縁層が形成された前記開口部内に、Cu層より成る導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 下地基板上に、Cuの拡散を防止する第1のバリア絶縁層を形成する工程と、前記第1のバリア絶縁層上に、Cuの拡散を防止する第2のバリア絶縁層を形成する工程と、前記第1のバリア絶縁層に第1の開口部を形成し、前記第2のバリア絶縁層に第2の開口部を形成する工程と、前記第1の開口部内及び前記第2の開口部内に、同一のCu層より成る導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 下地基板上に、第1の絶縁層を形成する工程と、前記第1の絶縁層上に、Cuの拡散を防止する第2の絶縁層を形成する工程と、前記第2の絶縁層上に、前記第2の絶縁層とエッチング特性が異なる第3の絶縁層を形成する工程と、前記第1の絶縁層及び前記第2の絶縁層に第1の開口部を形成し、前記第3の絶縁層に第2の開口部を形成する工程と、前記第1の開口部内の側面及び前記第2の開口部内の側面に、Cuの拡散を防止するバリア絶縁層を形成する工程と、前記バリア絶縁層が形成された前記第1の開口部内及び前記第2の開口部内に、同一のCu層より成る導電層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に係り、特にCu層より成る配線を用いた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】 近年の半導体装置の高集積化にはめざましいものがあるが、電子機器の情報処理量の増大等に伴い半導体装置の更なる高集積化が求められている。そして半導体装置の高集積化に伴い、半導体装置の内部の素子間を接続する配線の幅も狭くなってきている。

【0003】 しかし、単に配線の幅を狭くしていくと、配線の抵抗値が上昇してしまい、これにより信号の遅延時間の増大を招いてしまう。そこで、従来から広く配線材料として用いられてきたアルミニウムを用いることなく、アルミニウムより抵抗率が低い銅を配線の材料として用いることが提案されている。アルミニウムの抵抗率が3～3.5 $\mu\Omega \cdot \text{cm}$ であるのに対し、銅の抵抗率は

1. $7\mu\Omega\cdot\text{cm}$ 程度と低いので、銅を用いて配線を形成することにより配線の抵抗値を大幅に小さくすることが可能となる。

【0004】銅はフッ化物などにしても気化しにくい金属であるため、エッチングによりパターニングするのは困難である。そこで、C.W.Kaantaらが、ダマシン法と呼ばれる方法を提案し、Cu配線の加工性を解決する方法として製品に適用されつつある。従来の半導体装置の製造方法を図14を用いて説明する。図14は、従来の半導体装置の製造方法を示す断面図である。

【0005】まず、図14に示すように、シリコン基板110上に、素子領域を画定する素子分離膜112を形成し、素子分離膜112により画定された素子領域に、側面にサイドウォール絶縁膜114が形成されたゲート電極116とソース／ドレイン拡散層118a、118bとを有するトランジスタを形成する。次に、全面に層間絶縁膜120とストッパ膜121を形成し、ソース／ドレイン拡散層118bに達するコンタクトホール122を形成する。

【0006】次に、コンタクトホール122内に、バリア層124及び導体プラグ126を形成する。次に、全面に、層間絶縁膜130を形成し、ストッパ膜121をエッチングストッパとして層間絶縁膜130をエッチングし、これにより、配線136を埋め込むための溝132を形成する。

【0007】次に、全面に、TiN膜又はTa₂N膜を形成し、この後、全面にCu層を形成する。次に、CMP法により、層間絶縁膜130の表面が露出するまでCu膜とTiN膜又はTa₂N膜とを研磨し、これにより、溝内に、TiN膜又はTa₂N膜より成るバリア層134とCu層より成る配線136とを形成する。なお、バリア層134は、配線136のCuがデバイス中に拡散してしまうのを防止するためのものである。

【0008】

【発明が解決しようとする課題】しかしながら、バリア層134としてTiN膜を用いた場合には、密着性のよいTiN膜を形成することが困難であった。また、半導体装置の高集積化に伴い溝の幅を狭くする場合には、Cu層より成る配線の断面積が小さくなってしまうのを防止するためにバリア層を薄く形成する必要があるが、TiN膜より成るバリア層を薄く形成した場合には、TiN膜がCuに対するバリアとして十分に機能せず、デバイス中へのCuの拡散を十分に防止することができなかった。

【0009】また、バリア層134としてTa₂N膜を用いた場合には、Ta₂N膜はCMP法により研磨するのが困難であるため、研磨工程に長時間を要していた。また、Ta₂N膜は電気抵抗が高いため、バリア層が厚く、バリア層の断面積が配線の断面積に対して大きな割合を占める場合には、信号の伝播遅延時間が遅くなってしまう

っていた。

【0010】本発明の目的は、Cu層より成る配線を用いて更なる高集積化及び高速化を実現しうる半導体装置及びその製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記目的は、下地基板上に形成され、開口部を有し、Cuの拡散を防止するバリア絶縁層と、前記開口部内に形成されたCu層より成る導電層とを有し、前記バリア絶縁層は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかであることを特徴とする半導体装置により達成される。これにより、Cuの拡散を防止することができ、また誘電率も低いバリア絶縁層の開口部にCu層より成る配線等が形成されているので、集積度が高く、動作速度の速い半導体装置を提供することができる。

【0012】また、上記目的は、下地基板上に形成され、開口部を有する絶縁層と、前記開口部内の側面に形成された、Cuの拡散を防止するバリア絶縁層と、前記バリア絶縁層が形成された前記開口部内に形成された、Cu層より成る導電層とを有し、前記バリア絶縁層は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかであることを特徴とする半導体装置により達成される。これにより、薄くても十分にCuの拡散を防止することができ、また、誘電率も低いバリア絶縁層が開口部内の側面に形成されているので、Cu層より成る配線を用いて集積度が高く、動作速度の速い半導体装置を提供することができる。

【0013】また、上記目的は、下地基板上に形成され、第1の開口部を有し、Cuの拡散を防止する第1のバリア絶縁層と、前記第1のバリア絶縁層上に形成され、第2の開口部を有し、Cuの拡散を防止する第2のバリア絶縁層と、前記第1の開口部及び前記第2の開口部内に形成された同一のCu層より成る導電層とを有し、前記第1のバリア絶縁層及び／又は前記第2のバリア絶縁層は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかであることを特徴とする半導体装置により達成される。これにより、Cuの拡散を防止することができ、また誘電率も低いバリア絶縁層の開口部にCu層より成る配線等が形成されているので、集積度が高く、動作速度の速い半導体装置を提供することができる。しかも、第1の開口部内及び第2の開口部内に、同一のCu層より成る導電層が形成されているので、簡便な工程で製造することができる。

【0014】また、上記目的は、下地基板上に形成され、第1の開口部を有する第1の絶縁層と、前記第1の絶縁層上に形成され、第2の開口部を有する第2の絶縁層と、前記第1の開口部内の側面及び前記第2の開口部

内の側面に形成された、Cuの拡散を防止するバリア絶縁層と、前記バリア絶縁層が形成された前記第1の開口部内及び前記第2の開口部内に形成された、同一のCu層より成る導電層と、前記第1の開口部が形成された領域を除く領域の前記第2の開口部の下面に形成され、前記第2の絶縁層とエッチング特性が異なり、Cuの拡散を防止する第3の絶縁層とを有し、前記バリア絶縁層は、炭素とフッ素とを含むシリコン系絶縁層、有機膜、又はC軸方向に配向されたBN膜のいずれかであることを特徴とする半導体装置により達成される。これにより、薄くても十分にCuの拡散を防止することができ、また、誘電率も低いバリア絶縁層が第1の開口部内の側面及び第2の開口部内の側面に形成されているので、Cu層より成る配線を用いて集積度が高く、動作速度の速い半導体装置を提供することができる。しかも、第1の開口部内及び第2の開口部内に、同一のCu層より成る導電層が形成されているので、簡便な工程で製造することができる。

【0015】また、上記目的は、下地基板上に、Cuの拡散を防止するバリア絶縁層を形成する工程と、前記バリア絶縁層に開口部を形成する工程と、前記開口部内にCu層より成る導電層を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、Cuの拡散を防止することができ、また誘電率も低いバリア絶縁層の開口部にCu層より成る配線等を形成するので、集積度が高く、動作速度の速い半導体装置を製造することができる。

【0016】また、上記目的は、下地基板上に、絶縁層を形成する工程と、前記絶縁層に開口部を形成する工程と、前記開口部内の側面に、Cuの拡散を防止するバリア絶縁層を形成する工程と、前記バリア絶縁層が形成された前記開口部内に、Cu層より成る導電層を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、薄くても十分にCuの拡散を防止することができ、また、誘電率も低いバリア絶縁層を開口部内の側面に形成するので、Cu層より成る配線を用いて集積度が高く、動作速度の速い半導体装置を製造することができる。

【0017】また、上記目的は、下地基板上に、Cuの拡散を防止する第1のバリア絶縁層を形成する工程と、前記第1のバリア絶縁層上に、Cuの拡散を防止する第2のバリア絶縁層を形成する工程と、前記第1のバリア絶縁層に第1の開口部を形成し、前記第2のバリア絶縁層に第2の開口部を形成する工程と、前記第1の開口部内及び前記第2の開口部内に、同一のCu層より成る導電層を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、Cuの拡散を防止することができ、また誘電率も低いバリア絶縁層の開口部にCu層より成る配線等を形成するので、集積度が高く、動作速度の速い半導体装置を製造するこ

とができる。しかも、第1の開口部内及び第2の開口部内に、同一のCu層より成る導電層を形成するので、簡便な工程で半導体装置を製造することができる。

【0018】また、上記目的は、下地基板上に、第1の絶縁層を形成する工程と、前記第1の絶縁層上に、Cuの拡散を防止する第2の絶縁層を形成する工程と、前記第2の絶縁層上に、前記第2の絶縁層とエッチング特性が異なる第3の絶縁層を形成する工程と、前記第1の絶縁層及び前記第2の絶縁層に第1の開口部を形成し、前記第3の絶縁層に第2の開口部を形成する工程と、前記第1の開口部内の側面及び前記第2の開口部内の側面に、Cuの拡散を防止するバリア絶縁層を形成する工程と、前記バリア絶縁層が形成された前記第1の開口部内及び前記第2の開口部内に、同一のCu層より成る導電層を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。これにより、薄くても十分にCuの拡散を防止することができ、また、誘電率も低いバリア絶縁層を第1の開口部内の側面及び第2の開口部内の側面に形成するので、Cu層より成る配線を用いて集積度が高く、動作速度の速い半導体装置を製造することができる。しかも、第1の開口部内及び第2の開口部内に、同一のCu層より成る導電層を形成するので、簡便な工程で半導体装置を製造することができる。

【0019】

【発明の実施の形態】 [第1実施形態] 本発明の第1実施形態による半導体装置及びその製造方法を図1を用いて説明する。図1は、本実施形態による半導体装置を示す断面図である。図2乃至図4は、本実施形態による半導体装置の製造方法を示す工程断面図である。

【0020】(半導体装置) まず、本実施形態による半導体装置を図1を用いて説明する。図1に示すように、シリコン基板10には、素子領域を画定する素子分離膜12が形成されている。素子分離膜12により画定された素子領域には、側面にサイドウォール絶縁膜14が形成されたゲート電極16とソース/ドレイン拡散層18a、18bとを有するトランジスタが形成されている。

【0021】トランジスタが形成されたシリコン基板10上の全面には、シリコン酸化膜より成る層間絶縁膜20が形成されており、層間絶縁膜20上には、膜厚0.1μmのSiN膜より成るストップ膜21が形成されている。層間絶縁膜20及びストップ膜21には、トランジスタのソース/ドレイン拡散層18bに達するコンタクトホール22が形成されている。コンタクトホール22内にはTiN膜より成るバリア層24が形成されており、バリア層24が形成されたコンタクトホール22内にはタングステン層より成る導体プラグ26が形成されている。

【0022】更に全面に、膜厚0.6μmの水素シルセスキオキサン膜(Hydrogen Silsesquioxane、以下HSQ膜という)より成る層間絶縁膜30が形成されてい

る。層間絶縁膜30には、導体プラグ26及びストッパ膜21に達する溝32が形成されている。溝32内の側面には、膜厚30nmのBN(Boron Nitride)膜より成るバリア絶縁層34が形成されている。本実施形態による半導体装置は、従来は導電膜であったバリア層に代えて、絶縁膜であるBN膜より成るバリア絶縁層が用いられていることに主な特徴がある。BN層は極めて薄い膜厚、例えば30nm程度でも十分にCuの拡散を防止することができるので、半導体装置の高集積化に伴い溝の幅が狭くなった場合であっても、十分な配線の幅を確保することができる。また、BN膜は誘電率が低いので、配線において信号伝播速度が遅くなってしまうのを抑制することができる。なお、バリア絶縁層34として用いられているBN膜はC軸に配向するように形成されている。BN膜がC軸に配向しているため、誘電率を低く抑えることができる。

【0023】バリア絶縁層34が形成された溝32内にはCuより成る配線36が形成されている。溝32内の側面にCuの拡散を防止するバリア絶縁層34が形成されており、また、ストッパ膜21として用いられているSiN膜はCuの拡散を防止する機能を有するので、配線36のCuがデバイス中に拡散することが防止される。

【0024】このように本実施形態によれば、薄く形成した場合であっても十分にCuの拡散を防止することができるBN膜がバリア絶縁層として用いられており、しかも、かかるBN膜は誘電率も低いため、集積度が高く、動作速度の速い半導体装置を提供することができる。

(電気的特性) 次に、本実施形態による半導体装置の電気的特性について説明する。

【0025】本実施形態による半導体装置の電気的特性の評価は、上記の半導体装置に400℃の熱処理を行い、熱処理前後のリーク電流の変化を測定することにより行った。この結果、本実施形態による半導体装置はリーク電流の変化は特になく、良好な電気的特性を示した。

【0026】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法を図2乃至図4を用いて説明する。まず、図2(a)に示すように、LOCOS(Local Oxidation of Silicon)法により、シリコン基板10の表面に素子領域を画定する素子分離膜12を形成する。

【0027】次に、素子領域に、側面にサイドウォール絶縁膜14が形成されたゲート電極16と、ソース/ドレイン拡散層18a、18bとを有するトランジスタを形成する。次に、全面に、プラズマCVD(plasma-enhanced Chemical Vapor Deposition)法により、膜厚1.5μmのシリコン酸化膜より成る層間絶縁膜20を形成する。成膜条件は、例えば、基板温度を350℃、

成膜室内の圧力を3.0Torr、屈折率を1.49±0.02、RFパワーを300W、電極間隔を400mil、SiH₄ガス流量を40sccm、N₂Oガス流量を400sccm、N₂ガス流量を2000sccm、成長速度を560nm±50nmとすることができる。なお、1milは、1/1000inchである。

【0028】次に、CMP法により、シリコン酸化膜20の表面を平坦化する(図2(b)参照)。次に、全面に、プラズマCVD法により、膜厚0.1μmのSiN膜より成るストッパ膜21を形成する。成膜条件は、例えば、基板温度を400℃、成膜室内の圧力を4.85Torr、屈折率を1.92±0.05、RFパワーを375W、電極間隔を600mil、SiH₄ガスの流量を100sccm、NH₃ガスの流量を75sccm、N₂ガスの流量を1600sccm、成長速度を500nm±50nmとすることができる。

【0029】次に、ソース/ドレイン拡散層に達するコンタクトホール22を形成する(図2(c)参照)。次に、全面に、CVD法により、TiN膜、タングステン膜を順に形成する。次に、CMP法により、層間絶縁膜20の表面が露出するまで研磨し、これにより、コンタクトホール22内にTiN膜より成るバリア層24、及びタングステン膜より成る導体プラグ26を形成する(図3(a)参照)。

【0030】次に、全面に、膜厚0.6μmの水素シロキサン膜より成る層間絶縁膜30を形成する(図3(b)参照)。層間絶縁膜30は、スピンコート法により成膜し、この後、熱処理を行うことにより形成することができる。スピンコートの条件は、例えば3000rpm、30秒とすることができる。熱処理条件は、例えば、O₂濃度50ppm以下の雰囲気中、400℃、30分とすることができる。

【0031】次に、ストッパ膜21をエッチングストッパとして層間絶縁膜30をパターンニングし、配線36を埋め込むための溝32を形成する(図3(c)参照)。次に、全面に、プラズマCVD法により、膜厚30nmのBN膜33を形成する(図4(a)参照)。成膜条件は、例えば、BCl₃ガスとNH₃ガスとの流量比を1:20、基板温度を450℃、成膜室内の圧力を常圧(760Torr)、屈折率を1.78とすることができる。なお、BN膜はC軸配向するように形成することが望ましい。BN膜をC軸配向するように形成することにより、誘電率を低くすることができる。

【0032】次に、異方性エッチングにより、溝32内の側面を除く領域のBN膜33をエッチングする。これにより、溝32内の側面にBN膜33より成るバリア絶縁層34が形成されることとなる(図4(b)参照)。次に、全面に、スパッタ法により膜厚50nmのCu層より成るシード層を形成し、この後、メッキ法により膜厚1μmのCu層を形成する。

【0033】次に、CMP法により、層間絶縁膜30の表面が露出するまで研磨し、これにより、溝32内にCu層より成る配線36を形成する(図4(c)参照)。このようにして本実施形態による半導体装置を製造することができる。なお、この後、更に上記と同様の工程により層間絶縁膜や配線等を形成することにより、多層配線を有する半導体装置を製造することも可能である。

【0034】[第2実施形態] 本発明の第2実施形態による半導体装置及びその製造方法を図5及び図6を用いて説明する。図5は、本実施形態による半導体装置を示す断面図である。図6は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図4に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0035】図5に示すように、本実施形態による半導体装置は、バリア絶縁層として膜厚10nmのSi系のCF膜が用いられている他は、図1に示す第1実施形態による半導体装置と同様である。Si系のCF膜とは、炭素とフッ素と酸素とを含むシリコン系の膜であり、その形成方法については後述する。

【0036】Si系のCF膜より成るバリア絶縁層34aは、極めて薄い膜厚、例えば10nm程度でも十分に配線のCuのデバイス中への拡散を防止することができる。これにより、半導体装置の高集積化に伴い溝の幅が狭くなった場合であっても、十分な配線36の幅を確保することが可能となる。また、Si系のCF膜は誘電率が低いので、配線36における信号の伝播速度が低下するのを抑制することができる。

【0037】このように、本実施形態によれば、バリア絶縁層34aとしてSi系のCF膜が用いられているので、薄くても十分にCuの拡散を防止することができる。バリア絶縁層34aを形成することができ、また、高い*

* 密着性でバリア絶縁層34aを形成することができる。次に、本実施形態による半導体装置の製造方法を図6を用いて説明する。

【0038】まず、本実施形態による半導体装置の製造方法は、溝32を形成する工程までは図2(a)乃至図3(c)に示す第1実施形態による半導体装置の製造方法と同様であるので説明を省略する。次に、全面に、プラズマCVD法により、膜厚10μmのSi系のCF膜33aを形成する。Si系のCF膜は、以下のようにして形成することができる。

【0039】成膜装置としては、平行平板型プラズマCVD法を用いることができる。成膜条件は、ソース源としてメチルトリエトキシシランを用い、フッ素源としてC₄F₈ガスを用いる。メチルトリエトキシシランは液体であるため、液体マスフローを用いて調整する。なお、メチルトリエトキシシランの流量は、TEOS換算流量で例えば20~40sccmとなるように調整することができる。また、C₄F₈ガス流量は例えば0~167sccmとすることができる。また、例えば、印加電力は200W、成膜室内の圧力は1.0Torr、基板温度は240℃、ペーパライザの温度は80℃とすることができる。

【0040】なお、メチルトリエトキシシランとC₄F₈ガスとの流量比は、上記に限定されるものではなく、所望のSi系のCF膜が得られるように適宜設定することができる。メチルトリエトキシシランとC₄F₈ガスとの流量比を変化させて、Si系のCF膜を形成した場合の膜構造及び比誘電率を表1を用いて説明する。表1は、C₄F₈ガスとメチルトリエトキシシランとの流量比を変化させた場合の膜構造と比誘電率とを示したものである。

【0041】

【表1】

	流量比 C ₄ F ₈ /メチルトリエトキシシラン	膜構造	比誘電率
実施例1	0	シリコン骨格、メチル基	3.07
実施例2	2.1	シリコン骨格、 CF結合	3.04
実施例3	4.2		3.08
実施例4	6.3		2.78
実施例5	6.7		2.45
実施例6	7.5		2.35
実施例7	8.4	α-CF骨格、 CF、CO	3.11

表1に示すように、メチルトリエトキシシランとC₄F₈ガスとの流量比を適宜設定することにより、所望の膜構造や所望の比誘電率を有するSi系のCF膜33aを形成することができる。次に、異方性エッチングにより、溝32内の側面を除く領域のSi系のCF膜33aをエッチングする。これにより、溝32内の側面にSi系の

CF膜33aより成るバリア絶縁層34aが形成されることとなる(図6(b)参照)。

【0042】次に、全面に、スパッタ法により膜厚50nmのCu層より成るシード層を形成し、この後、メッキ法により膜厚1μmのCu層を形成する。次に、CMP法により、層間絶縁膜30の表面が露出するまでCu

層を研磨し、これにより、溝32内にCu層より成る配線36を形成する(図6(c)参照)。

【0043】このようにして本実施形態による半導体装置を製造することができる。次に、本実施形態による半導体装置の電気的特性について説明する。本実施形態による半導体装置の電気的特性の評価は、上記の半導体装置に400℃の熱処理を行い、熱処理前後のリーク電流の変化を測定することにより行った。

【0044】この結果、本実施形態による半導体装置はリーク電流の変化は特になく、良好な電気的特性を示した。

【第3実施形態】本発明の第3実施形態による半導体装置及びその製造方法を図7乃至図8を用いて説明する。図7は、本実施形態による半導体装置を示す断面図である。図8は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図6に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0045】(半導体装置)本実施形態による半導体装置は、第1実施形態による半導体装置の層間絶縁膜30とバリア絶縁層34aとの両者の役割を兼ねるバリア層間絶縁膜38が厚く形成されている点の他は、第1実施形態による半導体装置と同様である。即ち、本実施形態では、層間絶縁膜30とバリア絶縁層34との代わりに膜厚1μmのSi系のCF膜より成るバリア層間絶縁膜38が形成されている。

【0046】本実施形態によれば、層間絶縁膜と別個にバリア絶縁層を形成する必要がないので、簡便な構成の半導体装置を提供することができる。

(半導体装置の製造方法)次に、本実施形態による半導体装置の製造方法について図8を用いて説明する。

【0047】コンタクトホール22内にバリア層24及び導体プラグ26を形成する工程までは、図2(a)乃至図3(a)に示す第1実施形態による半導体装置の製造方法と同様であるので説明を省略する。次に、全面に、プラズマCVD法により、膜厚1μmのSi系のCF膜より成るバリア層間絶縁膜38を形成する。なお、Si系のCF膜より成るバリア層間絶縁膜38は、第3実施形態による半導体装置の製造方法に示した方法と同様に形成することができる。

【0048】次に、ストッパ膜21をエッチングストッパとして層間絶縁膜30をパターニングし、配線36を埋め込むための溝32を形成する(図8(b)参照)。次に、全面に、スパッタ法により膜厚50nmのCu層より成るシード層を形成し、その後、メッキ法により膜厚1μmのCu層を形成する。次に、CMP法により、層間絶縁膜30の表面が露出するまでCu層を研磨し、これにより、溝32内にCu層より成る配線36を形成する(図8(c)参照)。

【0049】このようにして本実施形態による半導体装置を製造することができる。

(電気的特性)次に、本実施形態による半導体装置の電気的特性について説明する。本実施形態による半導体装置の電気的特性は、第1実施形態による半導体装置と同様に、400℃の熱処理後にリーク電流等を測定することにより評価した。

【0050】この結果、本実施形態による半導体装置はリーク電流等の変化は特になく、良好な電気的特性を示した。

【第4実施形態】本発明の第4実施形態による半導体装置及びその製造方法を図9乃至図13を用いて説明する。図9は、本実施形態による半導体装置を示す断面図である。図10乃至図13は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図8に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0051】(半導体装置)本実施形態による半導体装置は、導体プラグと配線とが同一導電層により構成されたいわゆるデュアルダマシン構造であることに主な特徴がある。図9に示すように、シリコン基板10上には、層間絶縁膜40が形成されており、層間絶縁膜40上にはストッパ膜42が形成されている。ストッパ膜42上には層間絶縁膜44が形成されている。

【0052】層間絶縁膜44には、ストッパ膜42をエッチングストッパとして溝46が形成されており、溝46内の側面にはBN膜より成るバリア絶縁層48が形成されている。バリア絶縁層48が形成された溝46内には、Cu層より成る配線50が形成されている。配線50が形成された層間絶縁膜44上には、全面に、膜厚50nmのSiN膜より成るストッパ膜52が形成されており、ストッパ膜52上には、膜厚300nmのHSQ膜より成る層間絶縁膜54が形成されている。

【0053】層間絶縁膜54上には、膜厚50nmのSiN膜より成るストッパ膜56が形成されており、ストッパ膜56上には、膜厚550nmのFSG膜より成る層間絶縁膜58が形成されている。更に、層間絶縁膜58上には、膜厚50nmのシリコン酸化膜60、膜厚50nmのSiN膜より成るストッパ膜62が順次形成されている。

【0054】ストッパ膜56及び層間絶縁膜54には、ストッパ膜56の表面から配線50に達するコンタクトホール64が形成されている。ストッパ膜62、シリコン酸化膜60、及び層間絶縁膜58には、ストッパ膜62の表面からストッパ膜56の表面に達する配線を埋め込むための溝66が形成されている。溝66内の側面及びコンタクトホール64内の側面には、BN膜より成るバリア絶縁層68が形成されており、バリア絶縁層68が形成された溝66内及びコンタクトホール64内には

同一のCu層より成る配線70及び導体プラグ72が一体形成されている。

【0055】本実施形態によれば、コンタクトホール内及び溝内に、同一絶縁層より成るバリア絶縁層が形成され、同一導電膜より成る導体プラグ及び配線が形成されているので、別個の工程でこれらを形成する場合に比べて、簡便な工程で半導体装置を製造することが可能となる。

(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法について、図10乃至図13を用いて説明する。

【0056】まず、シリコン基板10上に、第1実施形態と同様にしてトランジスタ等(図示せず)を形成する。次に、全面に、プラズマCVD法により、シリコン酸化膜より成る層間絶縁膜40を形成する。次に、全面に、プラズマCVD法により、膜厚50nmのSiN膜より成るストッパ膜42を形成する。次に、全面に、プラズマCVD法により、シリコン酸化膜より成る層間絶縁膜44を形成する。

【0057】次に、ストッパ膜42をエッチングストップパとして層間絶縁膜44をパターンニングし、これにより配線50を埋め込むための溝46を形成する。次に、プラズマCVD法により、膜厚30nmのBN膜を形成する。次に、異方性エッチングにより、溝46内の側面を除く領域のBN膜をエッチングする。これにより、溝46内の側面にBN膜より成るバリア絶縁層48が形成される。

【0058】次に、全面に、スパッタ法により膜厚50nmのCu層より成るシード層を形成し、この後、メッキ法により膜厚1.5μmのCu層を形成する。次に、CMP法により、層間絶縁膜44の表面が露出するまで研磨し、これにより、バリア層48が形成された溝46内にCu層より成る配線50を形成する(図10(a)参照)。

【0059】次に、全面に、プラズマCVD法により、膜厚50nmのSiN膜より成るストッパ膜52を形成する。次に、全面に、スピンコート法により、膜厚300nmのHSQ膜より成る層間絶縁膜54を形成する。次に、全面に、プラズマCVD法により、膜厚50nmのSiN膜より成るストッパ膜56を形成する。

【0060】次に、全面に、プラズマCVD法により、膜厚550nmのフッ素が導入されたシリコン酸化膜であるFSG膜(Fluoro Silicon Glass)より成る層間絶縁膜58を形成する。次に、全面に、プラズマCVD法により、膜厚50nmのシリコン酸化膜60を形成する。

【0061】次に、全面に、プラズマCVD法により、膜厚50nmのSiN膜より成るストッパ膜62を形成する(図10(b)参照)。次に、全面にフォトレジスト膜を形成し、フォトリソグラフィ技術を用いてフォ

トレジスト膜にコンタクトホール64の形状の開口部(図示せず)を形成する。これにより、コンタクトホール64の形状の開口部を有するフォトレジストマスクが形成されることとなる。

【0062】次に、フォトレジストマスクをマスクとし、ストッパ膜62、シリコン酸化膜60をエッチングする。次に、ストッパ膜56をエッチングストップパとして層間絶縁膜58をエッチングする。次に、露出したストッパ膜56をエッチングする。次に、ストッパ膜52をエッチングストップパとして層間絶縁膜54をエッチングする。次に、露出したストッパ膜52をエッチングする。こうして、配線50に達するコンタクトホール64が形成されることとなる(図11(a)参照)。

【0063】次に、フォトレジストマスクを除去する。次に、全面にフォトレジスト膜を形成し、フォトリソグラフィ技術を用いてフォトレジスト膜に溝66の形状の開口部(図示せず)を形成する。これにより、溝66の形状の開口部を有するフォトレジストマスクが形成されることとなる。次に、フォトレジストマスクをマスクとして、ストッパ膜62、シリコン酸化膜60を順にエッチングする。次に、ストッパ膜56をエッチングストップパとして、層間絶縁膜58をエッチングする。こうして、配線70を埋め込むための溝66が形成されることとなる(図11(b)参照)。

【0064】次に、プラズマCVD法により、膜厚30nmのBN膜67を形成する(図12(a)参照)。次に、異方性エッチングにより、コンタクトホール64の側面及び溝66の側面を除く領域のBN膜67をエッチングする。これにより、溝66の側面及びコンタクトホール64の側面にバリア絶縁層68が形成されることとなる(図12(b)参照)。

【0065】次に、全面に、スパッタ法により、膜厚50nmのCu層より成るシード層を形成し、この後、メッキ法により膜厚1.5μmのCu層を形成する。次に、CMP法により、ストッパ膜62の表面が露出するまでCu層を研磨し、これにより、溝66内及びコンタクトホール64内に同一のCu層より成る配線70及び導体プラグ72が形成される(図13参照)。

【0066】このようにして本実施形態による半導体装置を製造することができる。

(電気的特性) 次に、本実施形態による半導体装置の電気的特性について説明する。本実施形態による半導体装置の電気的特性は、第1実施形態による半導体装置と同様に、400℃の熱処理後にリーク電流等を測定することにより評価した。

【0067】この結果、本実施形態による半導体装置はリーク電流等の変化は特になく、良好な電気的特性を示した。

[変形実施形態] 本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態では、バリア

絶縁層としてS i系のC F膜やB N膜を用いたが、バリア絶縁層はC uの拡散を防止しうる低誘電率の絶縁膜であればあらゆる絶縁膜を適用することができ、例えば、ハイドロカーボン系材料、フルオロカーボン系材料等の、C uの拡散を阻止する有機膜を用いることができる。また、バリア絶縁層としてS i N膜を用いることもできる。

【0068】また、第1実施形態では、層間絶縁膜30をエッチングする際のストッパ膜としてS i N膜を用いたが、ストッパ膜はS i N膜に限定されるものではなく、層間絶縁膜をエッチングする際のストッパとして機能する膜であればあらゆる膜を用いることができ、例えばB N膜等を用いてもよい。

【0069】

【発明の効果】以上の通り、本発明によれば、薄くても十分にC uの拡散を防止することができ、また、誘電率も低いバリア絶縁層が溝の側面等に形成されているので、C u層より成る配線を用いて、集積度が高く、動作速度の速い半導体装置を提供することができる。

【0070】また、本発明によれば、C uの拡散を防止することができ、また、誘電率も低いバリア絶縁層の開口部にC u層より成る配線等が形成されているので、集積度が高く、動作速度の速い半導体装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図である。

【図2】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図3】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図4】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図5】本発明の第2実施形態による半導体装置を示す断面図である。

【図6】本発明の第2実施形態による半導体装置の製造方法を示す工程断面図である。

【図7】本発明の第3実施形態による半導体装置を示す断面図である。

【図8】本発明の第3実施形態による半導体装置の製造方法を示す工程断面図である。

【図9】本発明の第4実施形態による半導体装置を示す断面図である。

【図10】本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図11】本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図12】本発明の第4実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図13】本発明の第4実施形態による半導体装置の製

造方法を示す工程断面図（その4）である。

【図14】従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

10…シリコン基板
12…素子分離膜
14…サイドウォール絶縁膜
16…ゲート電極
18a、18b…ソース／ドレイン拡散層
20…層間絶縁膜
21…ストッパ膜
22…コンタクトホール
24…バリア層
26…導体プラグ
30…層間絶縁膜
32…溝
33…B N膜
33a…S i系のC F膜
34…バリア絶縁層
34a…バリア絶縁層
36…配線
38…バリア層間絶縁膜
40…層間絶縁膜
42…バリア絶縁層
44…層間絶縁膜
46…溝
48…バリア絶縁層
50…配線
52…ストッパ膜
54…層間絶縁膜
56…ストッパ膜
58…層間絶縁膜
60…シリコン酸化膜
62…ストッパ膜
64…コンタクトホール
66…溝
67…B N膜
68…バリア絶縁層
70…配線
72…導体プラグ
110…シリコン基板
112…素子分離膜
114…サイドウォール絶縁膜
116…ゲート電極
118a、118b…ソース／ドレイン拡散層
120…層間絶縁膜
121…ストッパ膜
122…コンタクトホール
124…バリア層
126…導体プラグ

10

20

30

40

50

130...層間絶縁膜
132...溝

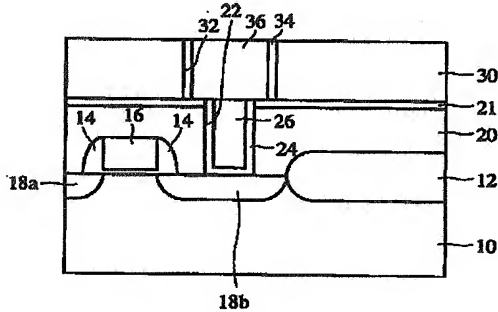
17

* 134...バリア層

* 136...配線

【図1】

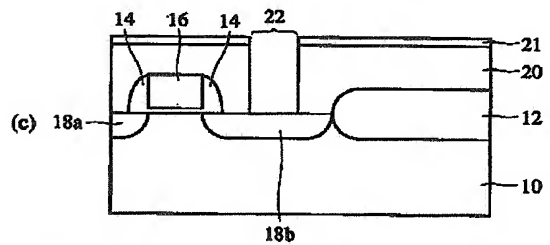
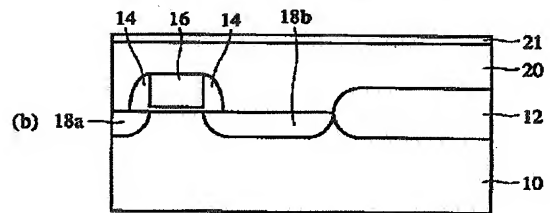
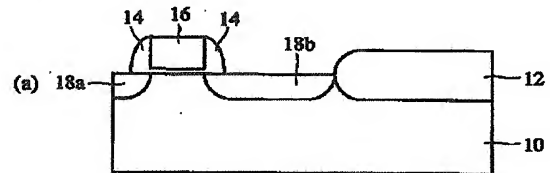
本発明の第1実施形態による半導体装置を示す断面図



10...シリコン基板
12...素子分離膜
14...サイドウォール絶縁膜
16...ゲート電極
18a, 18b...ソース/ドレイン拡散層
20...層間絶縁膜
21...ストップ膜
22...コンタクトホール
24...バリア層
26...導体プラグ
30...層間絶縁膜
32...溝
34...バリア絶縁層
36...配線

【図2】

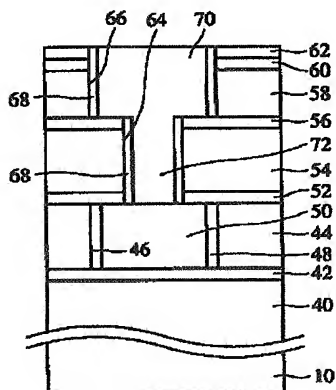
本発明の第1実施形態による半導体装置の製造方法を
示す工程断面図(その1)



10...シリコン基板
12...素子分離膜
14...サイドウォール絶縁膜
16...ゲート電極
18a, 18b...ソース/ドレイン拡散層
20...層間絶縁膜
21...ストップ膜
22...コンタクトホール

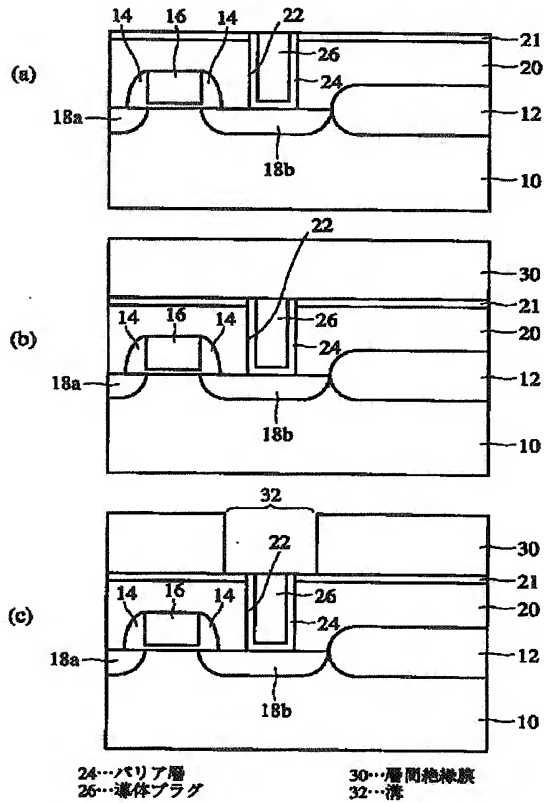
【図13】

本発明の第4実施形態による半導体装置の製造方法を
示す工程断面図(その4)



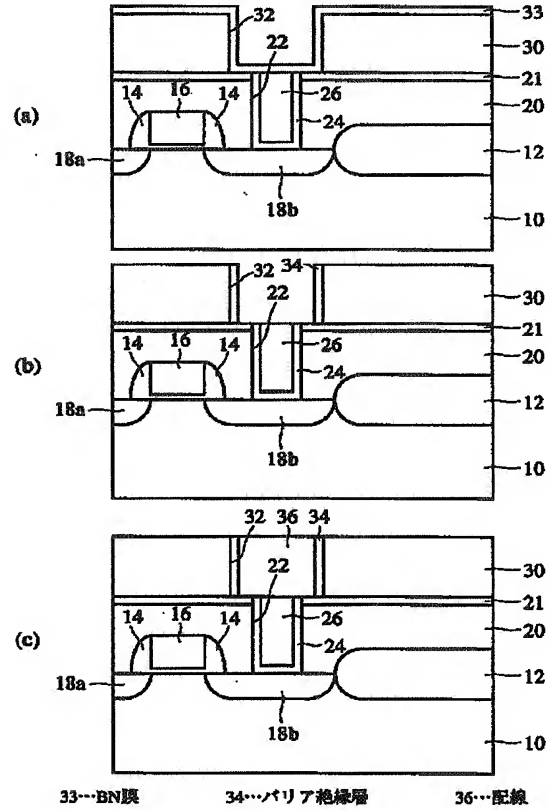
【図3】

本発明の第1実施形態による半導体装置の製造方法を
示す工程断面図（その2）



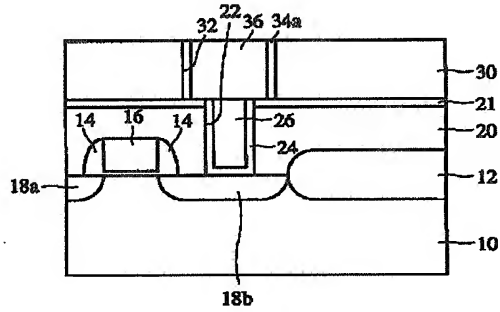
【図4】

本発明の第1実施形態による半導体装置の製造方法を
示す工程断面図（その3）



【図5】

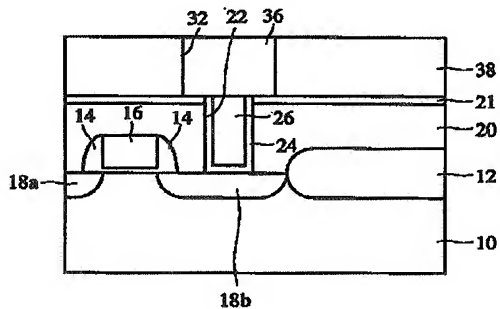
本発明の第2実施形態による半導体装置を示す断面図



- 10…シリコン基板
12…素子分離膜
14…サイドウォール絶縁膜
16…ゲート電極
18a, 18b…ソース/ドレイン拡散層
20…層間絶縁膜
21…ストップ膜
22…コンタクトホール
24…バリア層
26…導体プラグ
30…層間絶縁膜
32…窒素
34a…バリア絶縁層
36…配線

【図7】

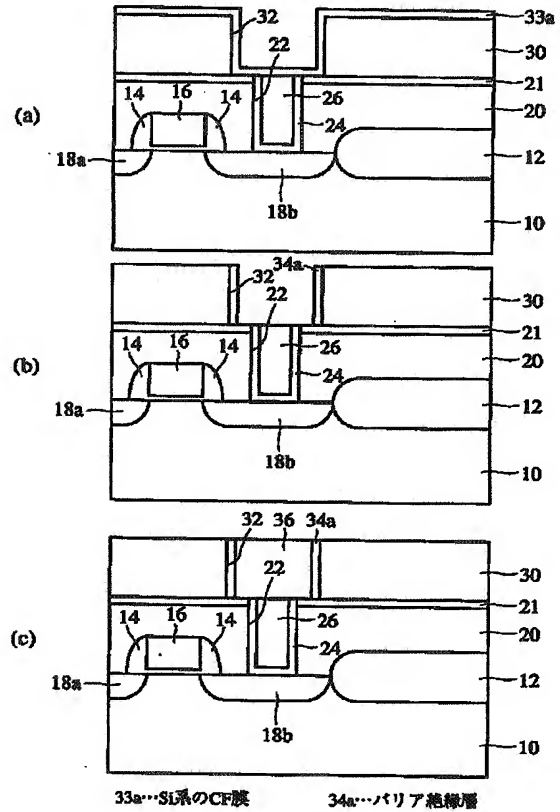
本発明の第3実施形態による半導体装置を示す断面図



- 10…シリコン基板
12…素子分離膜
14…サイドウォール絶縁膜
16…ゲート電極
18a, 18b…ソース/ドレイン拡散層
20…層間絶縁膜
21…ストップ膜
22…コンタクトホール
24…バリア層
26…導体プラグ
32…窒素
36…配線
38…バリア層間絶縁膜

【図6】

本発明の第2実施形態による半導体装置の製造方法を示す工程断面図

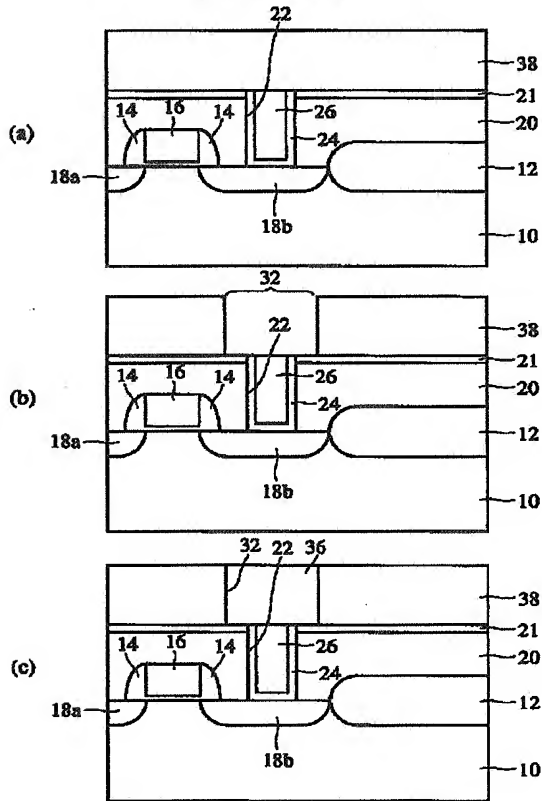


33a…Si系のCF膜

34a…バリア絶縁層

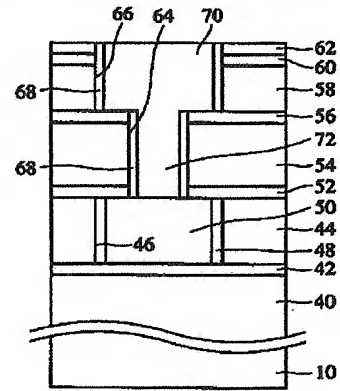
【図8】

本発明の第3実施形態による半導体装置の製造方法を
示す工程断面図



【図9】

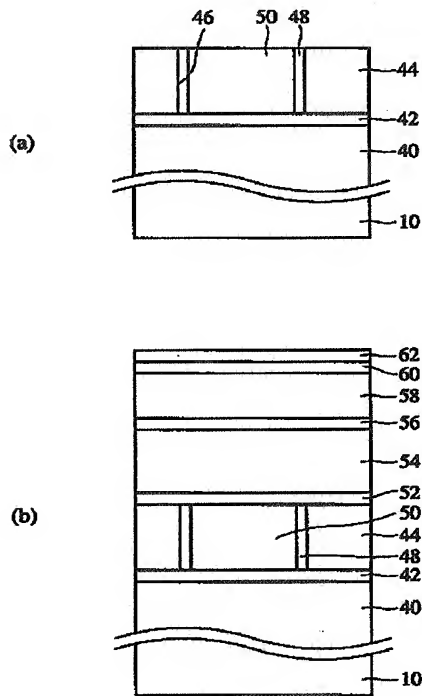
本発明の第4実施形態による半導体装置を示す断面図



- 40...層間絶縁膜
- 42...バリア絶縁層
- 44...層間絶縁膜
- 46...溝
- 48...バリア絶縁層
- 50...配線
- 52...ストッパ膜
- 54...層間絶縁膜
- 56...ストッパ膜
- 58...層間絶縁膜
- 60...シリコン酸化膜
- 62...ストッパ膜
- 64...コンタクトホール
- 66...溝
- 68...バリア絶縁層
- 70...配線
- 72...導体プラグ

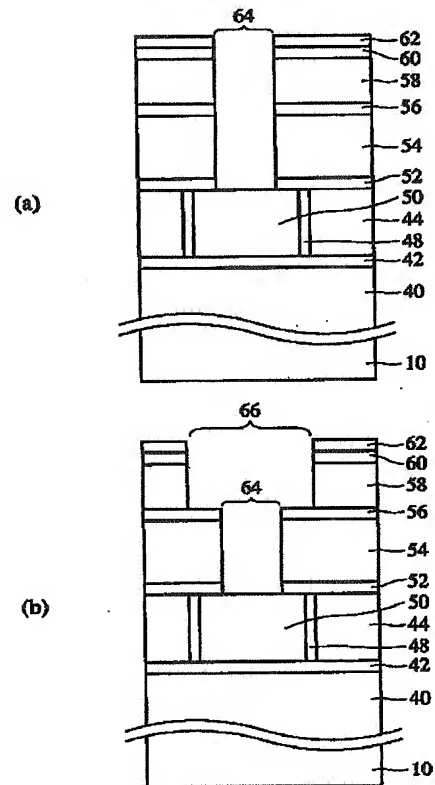
【図10】

本発明の第4実施形態による半導体装置の製造方法を
示す工程断面図(その1)



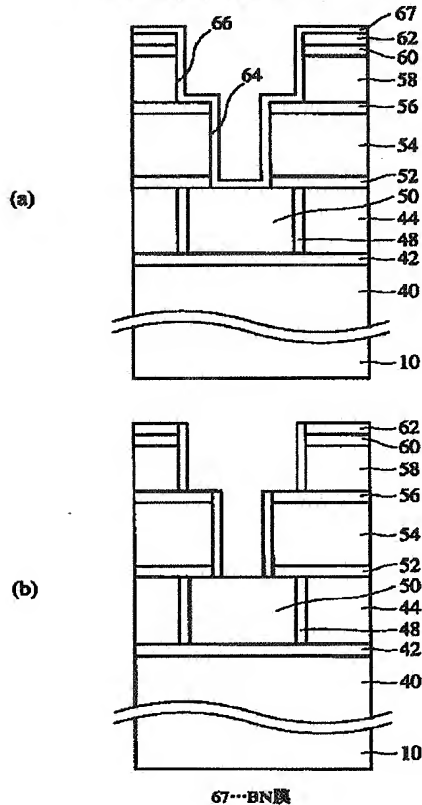
【図11】

本発明の第4実施形態による半導体装置の製造方法を
示す工程断面図(その2)



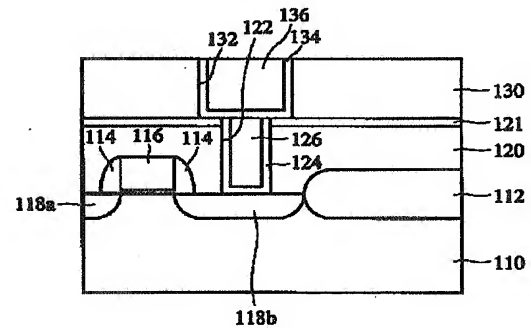
【図12】

本発明の第4実施形態による半導体装置の製造方法を示す工程断面図(その3)



【図14】

従来の半導体装置の製造方法を示す断面図



110…シリコン基板
112…素子分離膜
114…サイドウォール絶縁膜
116…ゲート電極
118a、118b…ソース/ドレイン拡散層
120…層間絶縁膜
121…ストップ膜
122…コンタクトホール
124…バリア層
126…導体プラグ
130…層間絶縁膜
132…溝
134…バリア層
136…配線

フロントページの続き

(72)発明者 中田 義弘
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72)発明者 山口 城
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5F033 HH11 JJ11 JJ19 JJ33 KK01
KK11 MM01 MM02 NN06 NN07
PP06 QQ16 QQ25 QQ37 QQ48
RR01 RR04 RR06 RR11 RR12
RR21 SS01 SS02 SS03 SS15
SS22 TT01 TT02 TT04 TT06
TT08 XX01
5F058 BA20 BC20 BD01 BD02 BD18
BF07 BF24 BF25 BF27 BF30
BH12 BJ02